

Patent Abstracts of Japan

PUBLICATION NUMBER : 09214079
 PUBLICATION DATE : 15-08-97

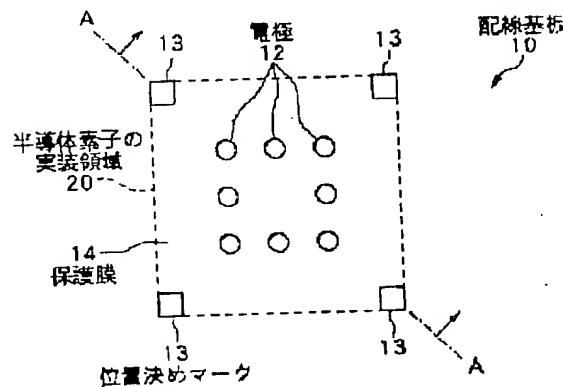
APPLICATION DATE : 02-02-96
 APPLICATION NUMBER : 08039055

APPLICANT : SONY CORP;

INVENTOR : TANAKA MASANORI;

INT.CL. : H05K 1/02

TITLE : WIRING BOARD



ABSTRACT : PROBLEM TO BE SOLVED: To provide a wiring board where a semiconductor device can be mounted easily and accurately.

SOLUTION: A plurality of electrodes 12 are made on the surface of a wiring board 10. Four positioning marks 13 to show the mounting position of the semiconductor device is also made on the surface of the wiring board 10. Each positioning mark 13 is provided at the four corners within the mounting area 20. The outer sides of each positioning mark 13 correspond to the respective sides of the mounting area 20. When mounting a semiconductor device, the semiconductor device can be positioned correctly by being positioned such that the several positioning marks 13 are all not seen.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-214079

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl.^o
H 05 K 1/02

識別記号

府内整理番号

F I
H 05 K 1/02

技術表示箇所
R

審査請求 未請求 請求項の数6 FD (全5頁)

(21)出願番号 特願平8-39055

(22)出願日 平成8年(1996)2月2日

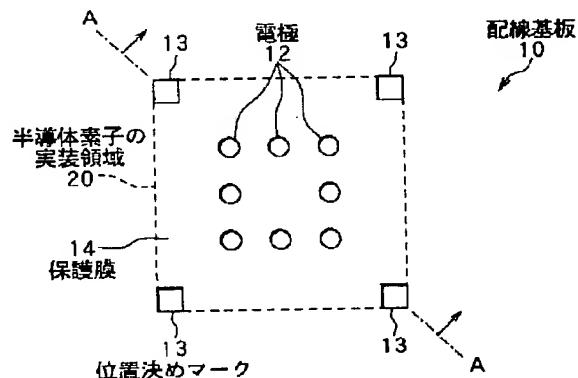
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 田中 正則
愛知県額田郡幸田町大字坂崎字雀ヶ入1番
地 ソニー幸田株式会社内

(54)【発明の名称】 配線基板

(57)【要約】

【課題】 半導体素子を容易に精度良く実装することができる配線基板を提供する。

【解決手段】 配線基板10の表面に複数の電極12が形成されている。配線基板10の表面には、また、半導体素子の実装位置を示すための4個の位置決めマーク13が形成されている。各位置決めマーク13は、実装領域20内の四隅に対してそれぞれ設けられている。各位置決めマーク13の外側は実装領域20の各辺にそれぞれ対応している。半導体素子を実装する際には、各位置決めマーク13が全て見えないように半導体素子を位置決めすれば正しく実装することができる。



【特許請求の範囲】

【請求項1】 表面に設けられた実装領域に位置決めすることにより半導体素子が実装される配線基板であつて、前記実装領域に関連して設けられ、前記半導体素子の各辺との相対的な位置関係により前記半導体素子の前記実装領域に対する位置決めの目印となる少なくとも1つの位置決めマークを有することを特徴とする配線基板。

【請求項2】 前記位置決めマークは、前記実装領域の辺に沿って形成されたことを特徴とする請求項1記載の配線基板。

【請求項3】 前記位置決めマークは、前記実装領域の内部に複数個形成されると共に、これら複数の位置決めマーク各々の少なくとも1辺が前記実装領域の辺に対応する位置に形成されたことを特徴とする請求項2記載の配線基板。

【請求項4】 前記位置決めマークは、各々前記実装領域の内部から一部はみ出して複数個形成されると共に、これら複数の位置決めマーク各々の前記実装領域からのはみ出し量が互いに等しいことを特徴とする請求項2記載の配線基板。

【請求項5】 前記位置決めマークは、配線と同一の導電性材料により形成されたことを特徴とする請求項1記載の配線基板。

【請求項6】 前記実装領域内に、前記半導体素子の底部に設けられた電極に対応する電極を含むことを特徴と請求項1記載の配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、所定の実装領域に位置決めすることにより半導体素子が実装される配線基板に関する。

【0002】

【従来の技術】 半導体素子には、BGA (ball grid array) や CSP (chip size package) 等のように素子の底部に電極を有する IC (integrated circuit) がある。これらの半導体素子は、底部に形成された電極をそれと対応する位置に形成された配線基板の電極に対して接触させることにより配線基板上に実装される。

【0003】

【発明が解決しようとする課題】 しかしながら、これらの半導体素子は電極が素子の底部に形成されているので、実装の際に配線基板の電極が素子の下に隠れてしまい、その実装位置を確認しにくく、実装作業が難しいという問題があった。これは、半導体素子に不良が見つかること修理等のために素子を交換する際に特に問題となる。

【0004】 本発明はかかる問題点に鑑みてなされたもので、その課題は、半導体素子の正確な実装位置を示すことにより、その実装作業を容易とすることができる配線基板を提供することにある。

【0005】

【課題を解決するための手段】 本発明に係る配線基板は、表面に設けられた実装領域に位置決めすることにより半導体素子が実装されるものであつて、実装領域に関連して設けられ、前記半導体素子の各辺との相対的な位置関係により半導体素子の実装領域に対する位置決めの目印となる少なくとも1つの位置決めマークを有するものである。

【0006】 この配線基板では、半導体素子を実装する際に、表面に実装領域に関連して設けられた位置決めマークを目安として、半導体素子の実装領域に対する位置決めが行われる。

【0007】

【発明の実施の形態】 以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0008】 図1は本発明の第1の実施の形態に係る配線基板の構成を表すものである。なお、図1では、配線基板10のうち半導体素子の実装部分のみを表している。図2は図1に示した配線基板のA-A線に沿った断面図である。

【0009】 本実施の形態に係る配線基板10は、ガラスエポキシ樹脂等の絶縁性樹脂によって形成された基板11の上に図示しない配線と、この配線に接続された複数の電極12とが形成されている。配線および各電極12は、例えは銅等の金属によってそれぞれ形成されている。各電極12は、図示しない半導体素子の電極に対応してそれぞれ形成されている。これら電極12は、本実施の形態においては、BGAやCSP等のように素子の底部に電極を有する半導体素子が実装される領域、すなわち図1において破線で示した実装領域20の内部にそれぞれ形成されている。

【0010】 基板11の上には、また、半導体素子の実装位置を示すための複数の位置決めマーク13が形成されている。これらの位置決めマーク13は、配線や各電極12と同一の金属によってそれらと共にそれぞれ形成されている。各位置決めマーク13の形は、例えは一辺の長さが1ミリ程度の矩形状であり、その形成位置は実装領域20内の四隅である。各位置決めマーク13の外側の各辺の位置は、実装領域20の各辺のうち対応する辺の位置とそれ対応している。すなわち、半導体素子が正しい位置に実装されれば、4個の位置決めマーク13の全てが半導体素子に隠れて上方からは見えなくなり、それにより半導体素子の位置決めがなされるようになっている。

【0011】 配線基板10の表面は絶縁性の保護膜14によって覆われている。但し、各電極12の上部は保護膜14が除去されて各電極12がそれ表面に露出されており、図示しない半導体素子の電極をそれぞれ接触させることができるようにになっている。また、各位置決めマーク13の上部も保護膜14が除去されて各位置決め

めマーク13がそれぞれ表面に露出されている。

【0012】このような構成を有する配線基板10は、例えば図3(a)～(c)に示すような工程により製造される。

【0013】まず、図3(a)に示したような絶縁性樹脂からなる基板11を用意する。次いで、図3(b)に示したように、この基板11の上にフォトレジスト膜15を塗布形成し、それを選択的に露光して基板11上に形成する配線、各電極12および各位置決めマーク13のパターンを形成する。このとき各電極12や各位置決めマーク13の位置は実装する半導体素子に合わせてそれぞれ決定される。

【0014】次いで、図3(c)に示したようにフォトレジスト膜15をマスクとして基板11の表面に銅めっきを施し、配線、各電極12および各位置決めマーク13をそれぞれ形成する。その後、フォトレジスト膜15を除去して基板11上に感光性の樹脂を塗布し、それを選択的に露光して各電極12と各位置決めマーク13の部分がそれぞれ開口された保護膜14を形成する。これにより図1および図2に示した配線基板10が作製される。

【0015】このようにして作製された配線基板10には、次のようにして半導体素子が実装される。図4は配線基板10に半導体素子30を適切に実装した状態を表している。

【0016】図4に示したように、半導体素子30が適切な位置にある場合には、実装領域20の四隅に対応して設けられた4個の位置決めマーク13が全て半導体素子30に隠れ上方からは見えない状態となる。この状態では、半導体素子30の各電極21は、配線基板10の各電極12に対してそれぞれ正確に接触される。

【0017】一方、半導体素子30が適切な位置にない場合には、図5に示したように、4個の位置決めマーク13のうちいくつかが半導体素子30に隠れることなく一部が上方から見える状態となる。具体的には、図5では半導体素子30が右上に隠れており、4個の位置決めマーク13のうち右下のマークの下側と左上のマークの左側と左下のマークの左側および下側が見える。このような実装状態では、半導体素子30の各電極21は、配線基板の各電極12に対してそれぞれ正確に接触されない。

【0018】すなわち、本実施の形態において、半導体素子30を配線基板10の実装領域20に実装する際には、半導体素子30および配線基板10を上方から観察し、各位置決めマーク13が半導体素子30に全て隠れて見えなくなるまで、図4において矢印で示したように、半導体素子30を前後左右に移動させて位置合わせをする。このように位置決めマーク13が半導体素子30に隠れて全て見えない位置に半導体素子30を位置決めすれば、半導体素子30の各電極21を配線基板の各

電極12に対してそれぞれ正確に接觸させることができる。

【0019】本実施の形態に係る配線基板10によれば、実装領域20の四隅にそれぞれ位置決めマーク13を設けるようにしたので、各位置決めマーク13が全て見えなくなるように半導体素子30を位置決めすることにより、半導体素子30の電極を配線基板10の電極に対して正確に接觸させることができる。

【0020】図6は本発明の第2の実施の形態に係る配線基板の構成を表すものである。

【0021】本実施の形態に係る配線基板は、位置決めマーク33の形成位置が第1の実施の形態における位置決めマーク13の形成位置と異なっていることを除き、第1の実施の形態に係る配線基板と実質的に同一の構成を有しており、同様にして製造される。よって、同一の構成要素に対しては、同一の符合を付しその詳細な説明は省略する。

【0022】位置決めマーク33は、第1の実施の形態と同様に一辺の長さが例えば5ミリ程度の矩形状であり、配線基板上の実装領域20の四隅に対してそれぞれ形成されている。本実施の形態においては、各位置決めマーク33は、一部が実装領域20から周囲にそれぞれはみ出している。各位置決めマーク33のうち実装領域20の周囲にはみ出した部分の各辺と実装領域20の各辺との間の距離dはそれぞれ等しくなっている。

【0023】この配線基板においては、図7に示したように半導体素子30が適切な位置(実装領域20)に実装されると、4個の位置決めマーク33が全て半導体素子30からそれぞれ等しくはみ出して見える状態となる。このような状態では、半導体素子30の各電極21は、配線基板の各電極12に対してそれぞれ正確に接觸される。

【0024】一方、半導体素子30が適切な位置に実装されないと、図8に示したように、4個の位置決めマーク13のうちいずれかが半導体素子30に隠れて見えなかったり、はみ出していてもその距離dが均等でなかったりする。このような状態では、半導体素子30の各電極21は、配線基板の各電極12に対してそれぞれ正確に接觸されない。

【0025】すなわち、本実施の形態において、半導体素子30を配線基板に実装する際には、半導体素子30および配線基板を上方から観察し、各位置決めマーク33が半導体素子30からそれぞれ均等にはみ出して見えるようになるまで、図7において矢印で示したように、半導体素子30を前後左右に移動させて位置合わせをする。このように各位置決めマーク33が半導体素子20からそれぞれ均等にはみ出して見える位置に半導体素子30を位置決めすれば、半導体素子30の各電極21を配線基板の各電極12に対してそれぞれ正確に接觸させることができる。

【0026】本実施の形態に係る配線基板によれば、実装領域20の四隅それぞれに位置決めマーク33を実装領域20から等しくはみ出させて形成したので、各位置決めマーク33が互いに等しくはみ出して見えるように半導体素子30を位置決めすることにより、半導体素子30の電極を配線基板の電極に対して正確に接触させることができる。

【0027】以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されるものではなく、種々の変形が可能である。

【0028】例えば、上記第1および第2の実施の形態では、位置決めマーク13, 33をそれぞれ複数個形成するようにしたが、少なくとも1つ形成すればよい。また、上記実施の形態では、位置決めマークを実装領域20の四隅にそれぞれ形成するようにしたが、実装領域20の隅ではなく、実装領域20の各辺に沿ってその途中に形成するようにしてもよい。具体的には、図9に示したように、4個の位置決めマーク43がそれぞれその一辺が実装領域20の各辺の中間部分に対応するように構成してもよい。更に、図10に示したように、4個の位置決めマーク53がそれぞれその一部が実装領域20の各辺の途中から等しくはみ出すように構成してもよい。

【0029】また、第1の実施の形態に係る位置決めマーク13と、第2の実施の形態に係る位置決めマーク33とが混在させるようにしてもよい。

【0030】また、上記第1および第2の実施の形態では、位置決めマーク13, 33を一辺の長さが5mm程度の矩形状としたが、その大きさや形状は、配線や各電極12に影響を与える設計上問題がなければどのようなものであってもよい。

【0031】要は、本発明の位置決めマークは、配線基板の表面の実装領域に関連して設けられ、半導体素子の各辺との相対的な位置関係により、半導体素子の位置決めの目印となるものであればよい。

【0032】

【発明の効果】以上説明したように本発明に係る配線基板によれば、表面の実装領域に関連させて、半導体素子の実装位置を表すための位置決めマークを設けるようにしたので、この位置決めマークを目安として位置決めすることにより、半導体素子の実装作業が容易になり、半導体素子の電極を配線基板側の電極に対して正確に接触させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る配線基板の構造を表す平面図である。

【図2】図1に示した配線基板のA-A線に沿った断面図である。

【図3】図1に示した配線基板の製造方法を説明するための工程図である。

【図4】図1に示した配線基板に対して半導体素子を実装する方法を説明するための平面図である。

【図5】図1に示した配線基板に対して半導体素子を実装する方法を説明するための平面図である。

【図6】本発明の第2の実施の形態に係る配線基板の構造を表す平面図である。

【図7】図6に示した配線基板に対して半導体素子を実装する方法を説明するための平面図である。

【図8】図6に示した配線基板に対して半導体素子を実装する方法を説明するための平面図である。

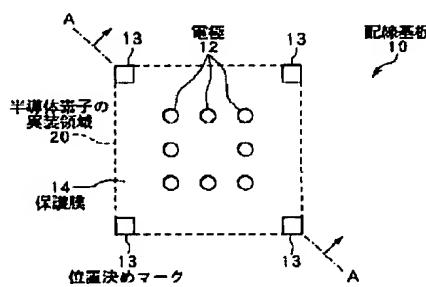
【図9】本発明の他の実施の形態に係る配線基板の構造を表す平面図である。

【図10】本発明の更に他の実施の形態に係る配線基板の構造を表す平面図である。

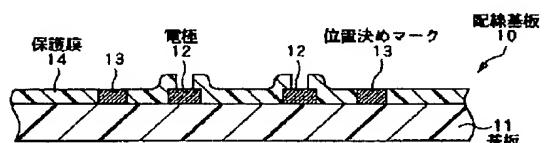
【符号の説明】

11…基板、12…電極、13…位置決めマーク、20…半導体素子の実装領域、21…電極、30…半導体素子、33, 43, 53…位置決めマーク

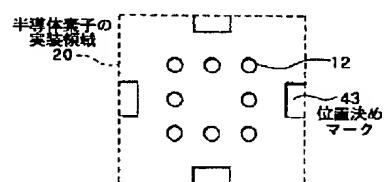
【図1】



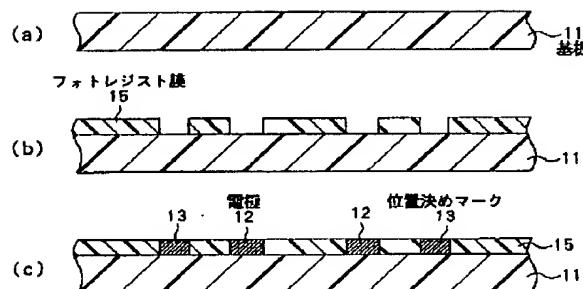
【図2】



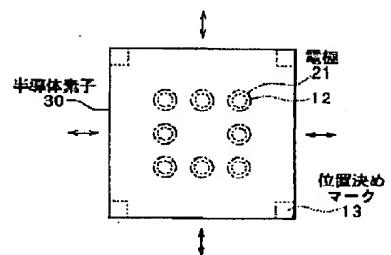
【図9】



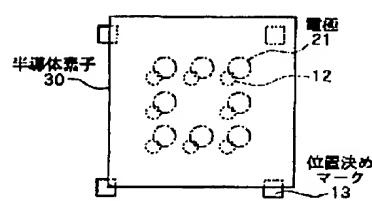
【図3】



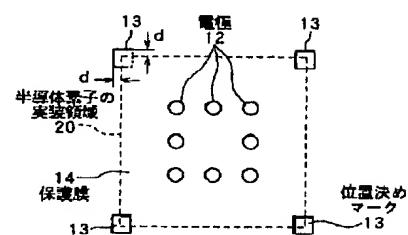
【図4】



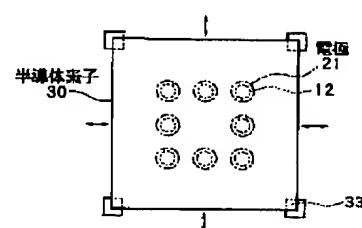
【図5】



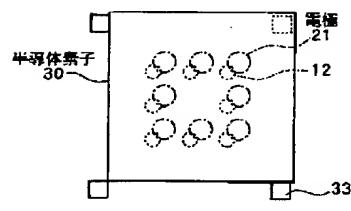
【図6】



【図7】



【図8】



【図10】

